

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

d)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—201527

⑪ Int. Cl.³
H 03 K 19/21
19/094

識別記号

庁内整理番号
8124—5 J
7631—5 J

⑬ 公開 昭和59年(1984)11月15日

発明の数 ?
審査請求 未請求

(全 7 頁)

⑭ 排他的オアまたは排他的ノアゲート

インゲン・ホヘルデルリンシュ
トラセ33

⑮ 特 願 昭59—74820

⑯ 出 願 人 アイティーティー・インダスト
リーズ・インコーポレーテッド
アメリカ合衆国ニューヨーク州
10022 ニューヨーク・パーク・
アヴェニュー320

⑰ 出 願 昭59(1984)4月13日

優先権主張 ⑱ 1983年4月15日 ⑲ 欧州特許機
構(E P) ⑳ 83103653.8

㉑ 発 明 者 アルノルト・ウーレンホフ
ドイツ連邦共和国7830エメンデ

㉒ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

排他的オアまたは排他的ノアゲート

2. 特許請求の範囲

(1) 相補型金属 - 酸化物 - 半導体 (CMOS) 技
術によって構成され、

第1の入力端子の第1のサブ入力端子および
それと関連する第2のサブ入力端子を備え、そ
れら2個のサブ入力端子にデジタル信号の1つ
がそれぞれ非反転形式および反転形式で供給さ
れ、また第2の入力端子を備え、それに他のデ
ジタル信号が非反転形式で供給され、

第1乃至第4のトランジスタを具備し、

第1のトランジスタは一方の導電型であって、
そのゲートは排他的オアの場合には前記第1の
サブ入力端子に、排他的ノアの場合には第2の
サブ入力端子に接続され、

第2のトランジスタはそのゲートが排他的オ
アの場合には前記第2のサブ入力端子に、排他
的ノアの場合には前記第1のサブ入力端子に接

続され、

第3のトランジスタは他方の導電型であって、
そのゲートは前記第2の入力端子に接続され、

第4のトランジスタは前記一方の導電型であ
り、

これら4個のトランジスタのチャネルの一
端はゲート回路の出力端子に接続され、

第2のトランジスタのチャネルの出力端子
と接続されていない側のチャネル端子は第2
の入力端子に接続され、第3のトランジスタの
対応するチャネル端子は第1の入力端子のサ
ブ入力端子の一方に接続されている排他的オア
(EXOR) または排他的ノア (EXNOR) ゲートとして
構成された回路において、

第2のトランジスタは前記他方の導電型であ
り、

第4のトランジスタのゲートは前記第2の入
力端子に接続され、第4のトランジスタの出力
端子と接続されていない側のチャネル端子は
排他的オアの場合には第1のサブ入力端子に接

統され、排他的ノアの場合には第2のサブ入力端子に接続され、

第1のトランジスタのゲートは第4のトランジスタの出力端子と接続されていない側のチャンネル端子に接続され、第1のトランジスタの出力端子に接続されていない側のチャンネル端子は第2の入力端子に接続され、第3のトランジスタの出力端子に接続されていない側のチャンネル端子は排他的オアの場合には前記第2のサブ入力端子に接続されていることを特徴とする回路。

(2) 加算されるべき第1の信号用の2個のサブ入力端子より成る第1の入力端子および加算されるべき第2の信号用の第2の入力端子と非反転キャリ入力端子とを具備したCMOS全加算器段として動作する回路であって、

加算されるべき第1の信号は排他的オアゲートとして構成された第1の排他的ゲートの第1のサブ入力端子および第2のサブ入力端子に非反転形式および反転形式でそれぞれ供給され、

金属-酸化物-半導体(CMOS)技術によって構成された排他的オアまたは排他的ノアゲートであって、

第1の入力端子の第1のサブ入力端子およびそれと関連する第2のサブ入力端子を備え、それら2個のサブ入力端子にデジタル信号の1つがそれぞれ非反転形式および反転形式で供給され、また第2の入力端子を備え、それに他のデジタル信号が非反転形式で供給され、

第1乃至第4のトランジスタを具備し、

第1のトランジスタは一方の導電型であって、そのゲートは排他的オアの場合には前記第1のサブ入力端子に、排他的ノアの場合には第2のサブ入力端子に接続され、

第2のトランジスタは前記他方の導電型であって、そのゲートが排他的オアの場合には前記第2のサブ入力端子に、排他的ノアの場合には前記第1のサブ入力端子に接続され、

第3のトランジスタは他方の導電型であって、そのゲートは前記第2の入力端子に接続され、

加算されるべき第2の信号は排他的ゲートの第2の入力端子に供給され、

第2の排他的ゲートの第1のサブ入力端子は第1の排他的ゲートの出力端子に接続され、キャリ入力端子は第2の排他的ゲートの第2の入力端子およびクロックドインバータの信号入力端子に接続され、

第1の排他的ゲートの出力端子は、スタティックインバータの入力端子と、クロックドインバータの第1のクロック入力端子と、伝送ゲートの第1のクロック入力端子とに接続され、伝送ゲートの第2のクロック入力端子はクロックドインバータの第2のクロック入力端子と共にスタティックインバータの出力端子に接続され、

クロックドインバータの出力端子はキャリ出力端子であり、第2の排他的ゲートの出力端子は加算出力端子であり、

伝送ゲートのスイッチング路は第2のサブ入力端子とキャリ出力端子との間に接続され、

前記第1および第2の排他的ゲートは相補型

第4のトランジスタは前記一方の導電型であり、

これら4個のトランジスタのチャンネルの一端はゲート回路の出力端子に接続され、

第2のトランジスタのチャンネルの出力端子と接続されていない側のチャンネル端子は第2の入力端子に接続され、第3のトランジスタの対応するチャンネル端子は第1の入力端子のサブ入力端子の一方に接続されており、

第4のトランジスタのゲートは前記第2の入力端子に接続され、第4のトランジスタの出力端子と接続されていない側のチャンネル端子は排他的オアの場合には第1のサブ入力端子に接続され、排他的ノアの場合には第2のサブ入力端子に接続され、

第1のトランジスタのゲートは第4のトランジスタの出力端子と接続されていない側のチャンネル端子に接続され、第1のトランジスタの出力端子に接続されていない側のチャンネル端子は第2の入力端子に接続され、第3のトラン

ジスタの出力端子に接続されていない側のチャンネル端子は排他的オアの場合には前記第2のサブ入力端子に接続されていることを特徴とする回路。

(3) 第2の排他的ゲートが排他的オアゲートである特許請求の範囲第2項記載の回路。

(4) 第2の排他的ゲートが排他的ノアゲートである特許請求の範囲第2項記載の回路。

(5) 第2の排他的ゲートが排他的オアゲートである回路と第2の排他的ゲートが排他的ノアゲートである回路とがキャリ入力からキャリ出力への経路に対して交互に直列に接続されている特許請求の範囲第2項記載の回路。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、相補型金属-酸化物-半導体(CMOS)技術を使用して構成された排他的オアおよび排他的ノアゲートに関するものであり、それらのゲートはそれぞれ“EXOR”および“EXNOR”と略称されている。

の出力端子に接続され、第2のトランジスタのチャンネルの出力端子と接続されていない側のチャンネル端子は第2の入力端子に接続され、第3のトランジスタの対応するチャンネル端子は第1の入力端子のサブ入力端子の一方に接続されている排他的オアおよび排他的ノアゲートはそれぞれ西ドイツ特許DE2165160C2号明細書(特に第4A図)および西ドイツ公開特許公報DE2165162B2号(特に第4A図)に示されている。従来技術における両ゲートのそれぞれの装置は5個のトランジスタを有しており、それらのトランジスタのうちの1個はそのチャンネルの1端が直流電源端子に接続されている。

〔発明の概要〕

本発明の目的は従来技術による装置に比較して必要なトランジスタの数が少なくすむEXORまたはEXNORを提供することであり、またそのようなEXORおよびEXNORを使用したCMOS全加算器段を提供することである。

〔発明の技術的背景〕

相補型金属-酸化物-半導体(CMOS)技術によって構成され、第1の入力端子の第1のサブ入力端子およびそれと関連する第2のサブ入力端子を備え、それら2個のサブ入力端子にデジタル信号の1つがそれぞれ非反転形式および反転形式で供給され、また第2の入力端子を備え、それに他のデジタル信号が非反転形式で供給され、第1乃至第4のトランジスタを具備し、第1のトランジスタは一方の導電型であって、そのゲートは排他的オアの場合には前記第1のサブ入力端子に、排他的ノアの場合には第2のサブ入力端子に接続され、第2のトランジスタはそのゲートが排他的オアの場合には前記第2のサブ入力端子に、排他的ノアの場合には前記第1のサブ入力端子に接続され、第3のトランジスタは他方の導電型であって、そのゲートは前記第2の入力端子に接続され、第4のトランジスタは前記一方の導電型であり、これら4個のトランジスタのチャンネルの一端はゲート回路

本発明によって達成される従来技術の装置よりすぐれている効果は各EXOR或はEXNORに対して4個のトランジスタしか必要でないことである。それ故半導体チップ上の所要面積は5分の1だけ節減される。本発明によればまた直流電源電圧端子に対する必要性を無くすることができる。それ故本発明によるEXORおよびEXNORは電源電圧導線の位置に関係なく半導体チップ内で使用されることができる。

〔発明の実施例〕

以下添付図面を参照に詳細に説明する。

まず第1図および第2図によって本発明と従来技術の装置との差異について説明する。EXORおよびEXNORは4個のトランジスタ1, 2, 3, 4により構成され、その中の2個のトランジスタ1, 4は一方の導電型であり(第1図においてはそれらはpチャンネル装置と仮定する。カッコ中の文字nはそれらがnチャンネル装置であってもよいことを示している。)他の2個のトランジスタ2, 3は他方の導

電型である(すなわちnチャンネル装置であり、カッコ中の文字pはp導電型でもよいことを示している)。したがって、本発明はその特徴の一つとして従来技術において一方の導電型であった第2のトランジスタ12は他方の導電型であることで従来技術と異なっている。

本発明の別の特徴によれば従来技術の装置と異なって第4のトランジスタ14のゲートは第1のサブ入力端子xにではなく、第2の入力端子yに接続されている。さらにトランジスタ14のチャンネルの出力端子に結合されない端子はEXORの場合には第1のサブ入力端子xに、そしてEXNORの場合には第2のサブ入力端子 \bar{x} に接続され、従来技術における装置のように第2の入力端子yに接続されることはない。

本発明のさらに別の特徴によれば第1のトランジスタ11のゲートは、従来技術の装置のように第4のトランジスタ14のゲートに接続されるのではなく、第4のトランジスタ14のチャンネルの前記端子(サブ入力端子に接続され

る端子)に接続される。第1のトランジスタ11の出力端子と接続されない側のチャンネル端子は、従来技術の装置のように前述の第5のトランジスタのゲート-ソース路を通るのではなく、直接第2の入力端子yに接続される。

EXORの場合には第3のトランジスタ13の出力端子に接続されない側のチャンネル端子は、従来技術の装置のように第1のサブ入力端子ではなく第2のサブ入力端子xに接続される。

以下添付図面について最初に述べたような従来技術の装置との差異について考慮することなく詳細に説明する。第1図および第2図の2個のゲート回路のそれぞれの第1の入力端子は第1のサブ入力端子xと第2のサブ入力端子 \bar{x} に分けられており、それら2個のサブ入力端子に2個のデジタル信号の一方が非反転および反転形式でそれぞれ供給されなければならない。一方、他方のデジタル信号用の第2の入力端子yは分けられておらず、デジタル信号は非反転形式でそこに供給されなければならない。第1図

乃至第4図で使用された論理記号においては、この特性は2個のサブ入力端子xと \bar{x} の間隔をサブ入力端子xまたは \bar{x} と第2の入力端子yとの間隔よりも接近させて図示することによって示されている。

4個のトランジスタ11…14の全てのチャンネルはこのゲート回路の出力端子xに接続されている。一方の導電型である第1のトランジスタ11のゲートは前述のようにEXORの場合には第1のサブ入力端子xに接続され、EXNORの場合には第2のサブ入力端子 \bar{x} に接続されている。他方の導電型である第2のトランジスタ12のゲートはEXORの場合には第2のサブ入力端子 \bar{x} に接続され、EXNORの場合には第1のサブ入力端子xに接続されている。他方の導電型である第3のトランジスタ13のゲートおよび前記一方の導電型である第4のトランジスタ14のゲートは、EXORの場合およびEXNORの場合に共に第2の入力端子yに接続されている。

第1および第2のトランジスタ11、12の

出力端子に接続されていない側のチャンネル端子は第2の入力端子yに接続され、一方第3のトランジスタ13の対応するチャンネル端子はEXORの場合には第2のサブ入力端子 \bar{x} に接続され、EXNORの場合には第1のサブ入力端子xに接続されている。第4のトランジスタ14の対応するチャンネル端子はEXORの場合には第1のサブ入力端子xに接続され、EXNORの場合には第2のサブ入力端子xに接続されている。

本発明によればEXOR(EXNOR)に必要なトランジスタの数が少いため、これらのゲート回路はCMOS全加算器の各段に用いるのに特に適したものである。本発明のそのような応用の2つの例を第3図および第4図に示す。第3図は全加算器段に関するもので、それにおいてキャリ(桁上げ)入力端子ciは非反転キャリ信号を与えられるものであり、一方キャリ出力端子coは反転されたキャリ信号を出力するものである。第4図においてはこれら2つの特徴が逆にされている。すなわちキャリ入力端子ciは反転キャ

リ信号を受け、キャリ出力端子 ca は非反転キャリ信号を出力する。

以下説明する2個の全加算器段は、第3図に示す段が本発明による2個の EXOR $x1$ および $x2$ を使用し、一方第4図に示す段は第3図のものの EXOR $x2$ が EXNOR xn によって置き換えられている点で相違している。第1の EXOR $x1$ の入力端子はまたそれぞれの全加算器段の入力端子であるから、この全加算器段の第1の入力端子もまた2個のサブ入力端子 x' および \bar{x}' に分けられている。一方第2の入力端子 y' は分けられていない。これら2つの入力端子は EXNOR の第1および第2のサブ入力端子 x および \bar{x} のそれぞれと同一であるから、加算されるべき第1の信号は非反転および反転形式でそれぞれ与えられなければならない。一方加算されるべき第2の信号は非反転形式で第2の入力端子 y' に供給されなければならない。

第2の EXOR $x2$ (第3図) および EXNOR xn (第4図) の第1のサブ入力端子 x は第1の

トランジスタは他方の導電型、すなわち n チャンネル装置である。

伝送ゲート tg のスイッチング路は第3図の場合には第2のサブ入力端子 \bar{x}' とキャリ出力端子 \bar{ca} との間に接続され、第4図の場合には第1のサブ入力端子 x' または第2の入力端子 y' (これは図では破線で示されている) とキャリ出力端子 ca との間に接続されている。第3図においては第2の EXOR $x2$ の出力端子は加算出力端子 sa であり、第4図においては加算出力端子は EXNOR xn の出力端子である。

第5図および第6図はそれぞれ第3図および第4図の装置の詳細な回路図を示している。EXOR $x1$ 、 $x2$ 、EXNOR xn において個々のトランジスタについての参照符号は図を簡明にするために省略されている。回路は相互接続および入力についての表示から充分に明瞭であるからそのような参照符号は不要と考え、第5図および第6図において、クロックインバータ $i1$ は直列に接続された4個のトランジスタより構

成され、そのうちの上方の2個は一方の導電型(例えば p チャンネル)であり、下方の2個は他方の導電型(例えば n チャンネル)であり、それらの直列接続されたチャンネルは電源 u と接地点間に接続されている。接地されたトランジスタと電源 u に接続されたトランジスタはそれらのゲートが互に接続されもっぱらインバータトランジスタとして使用される。一方残りの2個の中間のトランジスタはそれぞれ第1および第2のクロック信号を注入する作用をするトランジスタである。

スタティックインバータ $i1$ もまた電源 u および接地点に接続され、それは通常のように互に反対導電型の2個のトランジスタによって構成され、それらトランジスタのチャンネルは直列に電源 u と接地点との間に接続されている。伝送ゲート tg は通常のように互に反対導電型の2個のトランジスタにより構成され、それらトランジスタのチャンネルは並列に接続されている。

図から明らかなように第5図および第6図の

2個の全加算器段のそれぞれは16個のトランジスタによって構成され、それらの半数のものは一方の導電型であり、残りの半数のものは他方の導電型である。すなわちこの回路はそれぞれの導電型のトランジスタを同数使用している。

もしも第5図に示す全加算器段と第6図に示す全加算器段とがキャリ信号路に関して直列に接続され、第6図の回路が第5図の回路に続き、以下交互に接続されるならば各段のキャリ信号路が唯1個のインバータしか含まないCMOS並列加算器を得ることができる。したがってそのような全加算器はいわゆるリップル・キャリ(ripple-carry)加算器を構成し、特に迅速なキャリ発生時間を有する全加算器が得られる。

4. 図面の簡単な説明

第1図および第2図は本発明の1実施例のEXORおよびEXNORの回路図を示し、第3図および第4図は本発明を使用した第1および第2のCMOS全加算器段の回路の概略図を示し、第5図および第6図は第3図および第4図の回路の詳細な回路図を示す。

細な回路図を示す。

$t_1, t_2, t_3, t_4 \dots$ トランジスタ、 $x \dots$ 第1のサブ入力端子、 $\bar{x} \dots$ 第2のサブ入力端子、 $y \dots$ 第2の入力端子、 $z \dots$ 出力端子、 $x_1, x_2 \dots$ EXOR、 $x_n \dots$ EXNOR、 $t_i \dots$ クロックディンバータ、 $s_i \dots$ スタティックインバータ、 $t_g \dots$ 伝送ゲート、 $c_i, \bar{c}_i \dots$ キャリ入力端子、 $c_a, \bar{c}_a \dots$ キャリ出力端子、 $s_a \dots$ 加算出力端子、 $u \dots$ 電源。

出願人代理人 弁理士 鈴 江 武 彦



